

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Koki MUKAI**

Serial No.: **Not Yet Assigned**

Filed: **October 17, 2001**

For: **SEMICONDUCTOR DEVICE WITH QUANTUM DOTS HAVING HIGH  
CARRIER INJECTION EFFICIENCY, ITS MANUFACTURE METHOD,  
AND SEMICONDUCTOR LASER DEVICE**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
Washington, D.C. 20231

October 17, 2001

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2000-381842, filed December 15, 2000**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,  
ARMSTRONG, WESTERMAN, HATTORI  
McLELAND & NAUGHTON, LLP



William G. Kratz, Jr.  
Reg. No. 22,631

Atty. Docket No.: 011227  
Suite 1000, 1725 K Street, N.W.  
Washington, D.C. 20006  
Tel: (202) 659-2930  
Fax: (202) 887-0357  
WGK/ll



日 本 国 特 許 庁  
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月15日

出 願 番 号

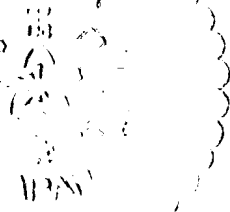
Application Number:

特願2000-381842

出 願 人

Applicant(s):

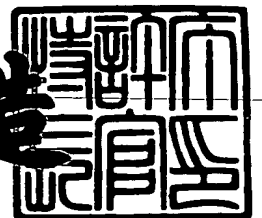
富士通株式会社



2001年 7月 4日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3062618

【書類名】 特許願

【整理番号】 0040982

【提出日】 平成12年12月15日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/04

【発明の名称】 量子ドットを含む半導体装置、その製造方法及び半導体  
レーザ装置

【請求項の数】 9

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

    【氏名】 向井 剛輝

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100091340

    【弁理士】

    【氏名又は名称】 高橋 敬四郎

    【電話番号】 03-3832-8095

【手数料の表示】

    【予納台帳番号】 009852

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

---

    【物件名】 要約書 1

    【包括委任状番号】 9705794

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 量子ドットを含む半導体装置、その製造方法及び半導体レーザ装置

【特許請求の範囲】

【請求項 1】 第 1 の半導体からなる主表面を有する基板と、  
前記主表面の上に離散的に分布する複数の量子ドットと、  
前記量子ドットの分布する面の上に形成された第 2 の半導体からなる被覆層と

前記量子ドットの分布する面内のうち、前記量子ドットの配置されていない領域の少なくとも一部に配置され、前記第 1 及び第 2 の半導体のバンドギャップよりも大きなバンドギャップを有する第 3 の半導体もしくは絶縁材料で形成された障壁層と  
を有する半導体装置。

【請求項 2】 さらに、前記主表面と前記量子ドットの分布する面との間、もしくは前記量子ドットの分布する面と前記被覆層との間に配置され、前記第 1 及び第 2 の半導体のバンドギャップよりも小さなバンドギャップを有する第 4 の半導体からなる量子井戸層と、

前記量子井戸層と前記量子ドットの分布する面との間に配置され、該量子井戸層及び量子ドット内のエネルギー準位に対してポテンシャル障壁として機能し、かつ該量子井戸層と量子ドットとの間でキャリアがトンネル現象により移動することができる厚さを有するトンネル層と  
を有する請求項 1 に記載の半導体装置。

【請求項 3】 前記量子井戸層内の準位から前記量子ドット内の準位に共鳴トンネル現象によってキャリアが移動することができるように、前記量子井戸層の組成及び厚さ、前記量子ドットの組成及び大きさが選択されている請求項 2 に記載の半導体装置。

【請求項 4】 前記量子ドットが InGaAs で形成され、前記障壁層が Al を含む化合物半導体を酸化して得られる材料で形成されている請求項 1 ～ 3 のいずれかに記載の半導体装置。

【請求項 5】 前記被覆層が、前記基板の主表面の結晶性を引き継いでエピタキシャル成長された単結晶層である請求項 1 ～ 4 のいずれかに記載の半導体装置。

【請求項 6】 半導体からなる主表面の上に、離散的に分布する量子ドットを形成する工程と、

前記主表面のうち前記量子ドットの配置されていない領域の上に、A 1 を含む化合物半導体からなる第 1 の層を形成する工程と、

前記量子ドット及び第 1 の層を、半導体からなる第 2 の層で覆う工程と、

前記第 1 の層の端面を露出させる工程と、

前記第 1 の層の露出した端面から、該第 1 の層を酸化する工程とを有する半導体装置の製造方法。

【請求項 7】 前記量子ドットが InGaAs で形成されている請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 第 1 導電型の半導体からなる基板と、

前記基板の表面上に形成された第 1 の分離閉込ヘテロ層と、

前記第 1 の分離閉込ヘテロ層の上に、離散的に分布する複数の量子ドットと、

前記複数の量子ドットの分布する面の上に形成された第 2 の分離閉込ヘテロ層と、

前記第 1 の分離閉込ヘテロ層と前記第 2 の分離閉込ヘテロ層との間であって、前記量子ドットの分布する面内のうち前記量子ドットの配置されていない領域の少なくとも一部に配置され、前記第 1 及び第 2 の分離閉込ヘテロ層のバンドギャップよりも大きなバンドギャップを有する半導体もしくは絶縁材料で形成された障壁層と、

前記第 2 の分離閉込ヘテロ層の上に形成され、前記第 1 導電型とは逆の第 2 導電型の半導体からなるクラッド層と、

前記基板と前記クラッド層との間に電圧を印加するための一対の電極とを有する半導体レーザ装置。

【請求項 9】 さらに、前記量子ドットの分布する面と前記第 1 の分離閉込ヘテロ層との間、もしくは前記量子ドットの分布する面と前記第 2 の分離閉込ヘ

テロ層との間に配置され、前記第 1 及び第 2 の分離閉込ヘテロ層のバンドギャップよりも小さなバンドギャップを有する半導体からなる量子井戸層と、

前記量子井戸層と前記量子ドットの分布する面との間に配置され、該量子井戸層及び量子ドット内のエネルギー準位に対してポテンシャル障壁として機能し、かつ該量子井戸層と量子ドットとの間でキャリアがトンネル現象により移動することができる厚さを有するトンネル層とを有する請求項 8 に記載の半導体レーザ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、量子ドットを含む半導体装置、その製造方法及び半導体レーザ装置に関し、特に量子ドットに注入されたキャリアを利用する半導体装置、その製造方法、及び量子ドット内のキャリアの再結合による発光現象を利用した半導体レーザ装置に関する。

【0002】

【従来の技術】

半導体プロセスの進歩に伴い、ナノスケールの結晶成長技術や微細加工技術が半導体装置の製造に利用されるようになってきた。この成長技術や微細加工技術を利用することによって、半導体集積回路装置の集積度の向上を図ることはもとより、量子力学的効果を利用した素子、例えば量子井戸レーザ発振器等が実用化されている。

【0003】

量子ドット構造が、量子力学的効果を利用する究極の構造として注目されている。量子ドットとは、周囲のポテンシャルよりも低いエネルギー準位を有し、キャリアを極微細な領域に三次元的に閉じ込めることができる極微細構造を意味する。ひとつの量子ドットの伝導帯側の基底順位には、電子が 2 個しか入ることができない。量子ドットをレーザ発振器の活性領域として用いることにより、電子と正孔との相互作用を効率化することができる。また、量子ドットを用いたレーザ発振器は、発振閾値や、閾値の温度特性等の点で、2 次元的に広がる量子井戸層

を用いたレーザ発振器の限界を超える素子として期待されている。また、量子ドットを用いた半導体素子として、ホールバーニング効果を応用した量子ドットメモリ装置等の研究も盛んである。

#### 【0004】

量子ドット構造を作製する技術として、微細加工技術を利用して人為的に量子ドットを形成する技術が知られている。量子ドットの形成方法の例として、電子線を用いたリソグラフィによる方法、マスクパターン上に積み上げたピラミッド型の結晶の頂点に量子ドットを配置する方法 (GaAs tetrahedral quantum dot structures fabricated using selective area metalorganic chemical vapor deposition, T. Fukui et al., Appl. Phys. Lett. 58 (18), 6 May 1991)、マスクパターンの下に形成した四角錐の頂点に量子ドットを配置する方法、微傾斜基板上における結晶成長初期の横方向成長を利用する方法、STM (scanning tunnel microscopy) 技術を応用した原子マニピュレーションによる方法等が挙げられる。これらの方法は、半導体材料を人為的に加工するという共通の特徴を持っている。このため、量子ドットの形成位置を自在に制御することができるという利点を有している。

#### 【0005】

量子ドットを形成する他の方法として、量子ドットを自己形成させる方法が知られている。量子ドットが自己形成される現象は、自己組織化現象と呼ばれる。具体的には、格子不整合となる特定の条件下で半導体層を気相エピタキシャル成長させる。このとき、下地表面上に2次元的に一様に広がった膜ではなく、3次元的な微細構造 (量子ドット構造) が自己形成される。この方法によると、人為的に微細加工する場合に比べて、量子ドットが高密度に分布し、かつ各々の量子ドットが高品質である量子ドット構造を得ることができる。

#### 【0006】

量子ドットの自己組織化現象のうち最もよく知られているものは、ストランスキークラスタノフ (Stranski-Krastanov) モード (SKモード) と呼ばれるものである。SKモードによる成長においては、成長初期に下地表面上に2次元的に広がる薄い膜 (濡れ層) が成長し、原料供給を続けると、量子ドットが自己形成

される。SKモードにより形成された量子ドットを量子井戸層で埋め込むことにより、量子ドットからの発光波長を制御することができる。SKモードを利用して量子ドットを形成すると、大きさの揃った均一な量子ドットを得ることができる。

## 【0007】

## 【発明が解決しようとする課題】

量子ドット形成技術の進歩は目覚しいが、量子ドット構造を半導体素子へ応用した場合の課題も明らかになりつつある。そのひとつは、量子ドットへのキャリアの注入効率が低いことであり、もうひとつは、フォノンボトルネック現象により基底準位へのキャリアの注入効率が低下することである。

## 【0008】

図1(B)を参照して、量子ドットへのキャリアの注入効率の低下の要因について説明する。図1(B)は、従来の量子ドット構造の一例の断面図を示す。n型導電性の半導体基板1の表面上に、複数の量子ドット2が離散的に分布する。量子ドット2を覆うように、半導体基板1の表面上に、p型導電性の半導体層3が形成されている。半導体基板1と半導体層3との間に順方向電圧を印加すると、n型半導体基板1内の電子10a及びp型半導体層3内の正孔11aが量子ドット2に注入される。

## 【0009】

ところが、量子ドット2が離散的に分布しているため、一部の電子10c及び正孔11cは、量子ドット2に注入されることなく、それぞれp型半導体層3及びn型半導体基板1内に輸送される。また、一部の電子10b及び正孔11bは、量子ドット以外の領域で再結合する。このため、電流に寄与するキャリアの一部しか量子ドット2へ注入されない。量子ドットを半導体レーザ装置に応用した場合には、量子ドットへのキャリアの注入効率の低下が発光効率の低下につながる。

## 【0010】

フォノンボトルネック現象は、エネルギー保存則により離散準位へのキャリアの緩和（高い準位から低い準位への遷移）が抑制される現象である。量子ドットに



においては、状態密度関数がデルタ関数的になるため、キャリア緩和に光学フォノンが関与することになる。このため、キャリア緩和が生じにくくなる。フォノンボトルネック現象のため、量子ドットにおけるキャリア緩和が、量子井戸層におけるキャリア緩和よりも遅いことが報告されている（例えば、Physical Review B54, R5243, 1996）。

【 0 0 1 1 】

本発明の目的は、量子ドットへのキャリアの注入効率の低下を防止することが可能な半導体装置及びその製造方法を提供することである。

【 0 0 1 2 】

本発明の他の目的は、フォノンボトルネック現象によってキャリア緩和が生じにくくなることを抑制することが可能な半導体装置及びその製造方法を提供することである。

【 0 0 1 3 】

本発明の他の目的は、量子ドットへのキャリアの注入効率を高め、高い発光効率を有する半導体レーザ装置を提供することである。

【 0 0 1 4 】

【課題を解決するための手段】

本発明の一観点によると、第1の半導体からなる主表面を有する基板と、前記主表面の上に離散的に分布する複数の量子ドットと、前記量子ドットの分布する面の上に形成された第2の半導体からなる被覆層と、前記量子ドットの分布する面内のうち、前記量子ドットの配置されていない領域の少なくとも一部に配置され、前記第1及び第2の半導体のバンドギャップよりも大きなバンドギャップを有する第3の半導体もしくは絶縁材料で形成された障壁層とを有する半導体装置が提供される。

【 0 0 1 5 】

基板と被覆層との間に電流を流す際に、キャリアが障壁層を通過できないため、量子ドットへのキャリアの注入効率を高めることができる。

【 0 0 1 6 】

本発明の他の観点によると、半導体からなる主表面の上に、離散的に分布する

量子ドットを形成する工程と、前記主表面のうち前記量子ドットの配置されていない領域の上に、A1を含む化合物半導体からなる第1の層を形成する工程と、前記量子ドット及び第1の層を、半導体からなる第2の層で覆う工程と、前記第1の層の端面を露出させる工程と、前記第1の層の露出した端面から、該第1の層を酸化する工程とを有する半導体装置の製造方法が提供される。

## 【0017】

酸化された第1の層は絶縁性を示すため、この部分が障壁層として作用し、量子ドットへのキャリアの注入効率を高めることができる。

## 【0018】

本発明の他の観点によると、第1導電型の半導体からなる基板と、前記基板の表面上に形成された第1の分離閉込ヘテロ層と、前記第1の分離閉込ヘテロ層の上に離散的に分布する複数の量子ドットと、前記量子ドットの分布する面の上に形成された第2の分離閉込ヘテロ層と、前記第1の分離閉込ヘテロ層と前記第2の分離閉込ヘテロ層との間であって、前記量子ドットの分布する面内のうち前記量子ドットの配置されていない領域の少なくとも一部に配置され、前記第1及び第2の分離閉込ヘテロ層のバンドギャップよりも大きなバンドギャップを有する半導体もしくは絶縁材料で形成された障壁層と、前記第2の分離閉込ヘテロ層の上に形成され、前記第1導電型とは逆の第2導電型の半導体からなるクラッド層と、前記基板と前記クラッド層との間に電圧を印加するための一対の電極とを有する半導体レーザ装置が提供される。

## 【0019】

第1及び第2の分離閉込ヘテロ層の間に障壁層が配置されているため、量子ドットへのキャリアの注入効率を高めることができる。これにより、発光効率を高めることが可能になる。

## 【0020】

## 【発明の実施の形態】

図1(A)に、本発明の第1の実施例による半導体装置の断面図を示す。n型GaAsからなる基板1の表面上に、 $\text{In}_{0.5}\text{Ga}_{0.5}\text{As}$ からなる複数の量子ドット2が離散的に分布している。各量子ドット2の面内方向の大きさは約10nm

m程度であり、高さは5～10nm程度である。GaAs基板1の表面のうち、量子ドット2の配置されていない領域を、障壁層4が覆う。量子ドット2及び障壁層4の上に、p型GaAs層3が形成されている。

## 【0021】

量子ドット2は、自己組織化現象を利用し、分子線エピタキシ(MBE)により形成される。この形成は、例えば、In原料温度750℃、Ga原料温度900℃、As原料温度300℃、基板温度500℃、成長速度毎秒0.1モノレイヤの条件で行われる。

## 【0022】

なお、GaAs基板1の表面のうち量子ドット2の形成されていない領域が、数原子層の厚さの塗れ層で覆われる場合もある。

## 【0023】

次に、障壁層4の形成方法について説明する。量子ドット2を形成した後、GaAs基板1の上に、MBEによりAlAs層を成長させる。このAlAs層は量子ドット2の上にはほとんど成長しないため、GaAs基板1の表面のうち量子ドット2の配置されていない領域のみがAlAs層で覆われる。p型GaAs層3を成長させた後、GaAs基板1とGaAs層3との間に配置されているAlAs層を、その端面から酸化する。横方向に酸化が進むことによりAlAs層のほとんど全領域が酸化され、絶縁性の障壁層が形成される。このとき、GaAs基板1、GaAs層3、及び量子ドット2は酸化されない。p型GaAs層3を成長させた後に、その下のAlAs層を酸化するため、p型GaAs層3は、GaAs基板1の表面の結晶性を引き継いで成長したエピタキシャル成長層である。

## 【0024】

次に、図2(A)を参照して、AlAs層の好ましい酸化条件について説明する。

## 【0025】

GaAs基板の表面上厚さ30nmのAlAs層を、 $Al_{0.6}Ga_{0.4}As$ 層の厚膜で挟んだ積層構造を、MBEにより形成した。この積層構造を部分的にエッ

チングすることにより、幅約  $20\ \mu\text{m}$  の尾根状構造を残した。このエッチングは、磷酸、過酸化水素、水を  $1:1:10$  の体積比で混合したエッチング液を用いて行うことができる。なお、混合前の磷酸の濃度は  $85\%$ 、過酸化水素の濃度は  $31\%$  である。尾根状構造を残した基板を、水蒸気雰囲気中で熱処理した。尾根状構造の側面に露出した  $\text{AlAs}$  層 21 の端面から横方向に酸化が進む。

## 【0026】

図 2 (A) に、酸化温度、酸化時間と酸化の深さとの関係を示す。横軸は酸化時間を単位「分」で表し、縦軸は酸化の深さを単位「 $\mu\text{m}$ 」で表す。図中の四角記号は、酸化温度を  $360^\circ\text{C}$  とした場合を示し、丸記号は、酸化温度を  $320^\circ\text{C}$  とした場合を示す。酸化の深さは、尾根状構造の断面を走査型電子顕微鏡 (SEM) で観察して測定した。この熱処理条件では、 $\text{AlGaAs}$  層は実質的に酸化されなかった。

## 【0027】

図 2 (A) から、水蒸気中で温度  $360^\circ\text{C}$  で 30 分間の熱処理を行えば、約  $6\ \mu\text{m}$  の深さまで酸化されることがわかる。例えば、尾根状構造の幅を  $12\ \mu\text{m}$  以下にし、 $360^\circ\text{C}$  で 30 分間の酸化を行うことにより、 $\text{AlAs}$  層の全領域を酸化することができる。尾根状構造の幅に応じて酸化温度及び酸化時間を調節することにより、尾根状構造内の  $\text{AlAs}$  層の全領域を酸化することができる。

## 【0028】

図 2 (B) に、他の評価実験で用いた試料の断面図を示す。 $\text{GaAs}$  基板 20 の上に、厚さ  $106\text{nm}$  の  $\text{InAlAs}$  層 21 と厚さ  $93\text{nm}$  の  $\text{InGaAs}$  層 22 とが交互に積層された尾根状構造が形成されている。この積層構造を水蒸気雰囲気中で熱処理したところ、酸化は  $\text{Al}$  を含んでいる  $\text{InAlAs}$  層 21 のみで生じ、 $\text{InGaAs}$  層 22 はまったく酸化されていなかった。これは、 $\text{Al}$  を含む化合物半導体層内に  $\text{InGaAs}$  からなる量子ドットを分布させると、化合物半導体層を酸化しても、量子ドットは酸化されないことを示している。

## 【0029】

図 1 (A) に示したように、第 1 の実施例による量子ドット構造においては、 $\text{GaAs}$  基板 1 と  $\text{GaAs}$  層 3 との間の、量子ドット 2 の配置されていない領域

に、障壁層 4 が配置されている。GaAs 基板 1 と GaAs 層 3 との間に順方向電圧を印加すると、GaAs 基板 1 内の電子及び GaAs 層 3 内の正孔が、両者の界面の方向に移動する。これらのキャリアは、障壁層 4 によって形成されたポテンシャル障壁により障壁層 4 内には注入されず、ポテンシャルの低い量子ドット 2 内に注入される。このため、量子ドット 2 内へのキャリアの注入効率を高めることができる。

## 【 0 0 3 0 】

次に、図 3 を参照して、第 2 の実施例による量子ドットを有する半導体装置について説明する。

## 【 0 0 3 1 】

図 3 (A) は、第 2 の実施例による半導体装置の断面図を示す。図 1 に示した第 1 の実施例では、量子ドット 2 及び障壁層 4 が GaAs 基板 1 の表面上に直接形成されていた。第 2 の実施例では、GaAs 基板 1 の表面上に InGaAs からなる量子井戸層 5 及び GaAs からなるトンネル層 6 がこの順番に積層され、トンネル層 6 の表面上に量子ドット 2 及び障壁層 4 が形成されている。

## 【 0 0 3 2 】

量子井戸層 5 の In 組成比は 0.2 ~ 0.3 であり、その厚さは 10 ~ 30 nm である。トンネル層 6 の厚さは 5 nm 以下であり、キャリアがトンネル現象によりトンネル層 6 を通過することができる。

## 【 0 0 3 3 】

図 3 (B) に、GaAs 基板 1、量子井戸層 5、トンネル層 6、量子ドット 2、及び GaAs 層 3 の伝導体下端のエネルギーバンド図を示す。なお、図 3 (B) では、GaAs 基板 1 と GaAs 層 3 との間に順方向電圧が印加されている状態を示す。

## 【 0 0 3 4 】

GaAs 基板 1 内の伝導帯に励起されている電子が量子井戸層 5 内に注入され、その基底状態を占める。量子井戸層 5 の基底状態と量子ドットの 1 次準位  $L_1$  との共鳴により、量子井戸層 5 内の電子が量子ドット 2 の 1 次準位  $L_1$  に、トンネル現象により移動する。量子ドット 2 の 1 次準位を占める電子は、量子ドット

2の基底準位 $L_0$ に遷移する。このように、量子井戸層5を介して量子ドット内に電子が注入される。

## 【0035】

量子井戸層5がない場合には、GaAs基板1の伝導帯中の電子が、量子ドット2の1次準位に注入されなければならない。ところが、フォノンボトルネック現象のため、伝導帯中の電子は量子ドット2に捕捉されにくい。量子井戸層5を介して量子ドット2に電子を注入することにより、フォノンボトルネック現象の影響を回避することができる。量子井戸層5から量子ドット2へのトンネル現象による電子の移動は高速である。このため、量子ドット2への電子の捕捉速度を速くすることができる。

## 【0036】

また、図1(A)に示した第1の実施例の構造では、GaAs基板1と障壁層4との界面に欠陥準位が形成される場合がある。図3(A)に示した第2の実施例では、GaAsトンネル層6と障壁層4との界面までキャリアが到達しない。このため、この界面に欠陥準位が形成されたとしても、欠陥準位にキャリアがトラップされることを防止することができる。

## 【0037】

図3(A)で説明した第2の実施例では、量子ドット2が分布する仮想的な面とGaAs基板1との間に、量子井戸層5とトンネル層6とを配置した。図3(C)に示すように、量子井戸層5Aとトンネル層6Aとを、量子ドット2が分布する仮想的な面とp型GaAs層3との間に配置してもよい。また、量子井戸層とトンネル層とを、量子ドット2の分布する仮想的な面の両側に配置してもよい。

## 【0038】

図4に、上記第1の実施例による量子ドット構造を適用した半導体レーザ装置の断面図を示す。

## 【0039】

(001)面を主面とするn型のGaAs基板30の主面上に、n型の $Al_{0.4}Ga_{0.6}As$ からなる厚さ $1\mu m$ のn型クラッド層31が形成されている。n型

クラッド層 31 の上に、GaAs からなる厚さ 100 nm の分離閉込ヘテロ層 (SCH 層) 32 が形成されている。分離閉込ヘテロ層 32 の表面上に、複数の量子ドット 33 が離散的に分布する。分離閉込ヘテロ層 32 の表面のうち量子ドット 33 の配置されていない領域が、障壁層 34 で覆われている。量子ドット 33 は InGaAs で形成されている。障壁層 34 は、MBE により形成された AlAs 層を酸化することにより形成された層である。

## 【0040】

量子ドット 33 及び障壁層 34 の上に、GaAs からなる厚さ 100 nm の分離閉込ヘテロ層 35 が形成されている。分離閉込ヘテロ層 35 の上に、p 型の  $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$  からなる厚さ 1  $\mu\text{m}$  の p 型クラッド層 36 が形成されている。その上に、p 型  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$  からなる中間層 37、 $\text{p}^+$  型 GaAs からなるコンタクト層 38 が形成されている。これらの各層は、MBE により形成される。量子ドット 33 は、SK モードを利用した MBE により形成される。なお、MBE による成長時には、障壁層 34 の部分に AlAs 層を成長させる。

## 【0041】

コンタクト層 38 の上面から分離閉込層 32 の下面よりもやや深い位置まで部分的にエッチングされ、尾根 45 が残されている。このエッチングは、燐酸と過酸化水素と水との混合液を用いたウェットエッチングにより行われる。障壁層 34 は、尾根 45 を形成した後、その側面から AlAs 層を酸化することにより形成される。なお、この酸化は、 $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$  からなるクラッドが酸化されない条件で行われる。

## 【0042】

尾根 45 が残された基板の表面が、酸化シリコンからなる厚さ 250 nm の絶縁膜 39 で覆われている。絶縁膜 39 に、尾根 45 の上面を露出させる開口 40 が形成されている。絶縁膜 39 及び開口 40 の底面に露出したコンタクト層 38 の上面を、p 側電極 41 が覆う。p 側電極 41 は、Ti 層と Pt 層とがこの順番に積層された 2 層構造を有し、コンタクト層 38 にオーミック接触する。

## 【0043】

GaAs 基板 30 の背面上に、n 側電極 42 が形成されている。n 側電極 42

は、AuGe合金層とAu層とがこの順番に積層された2層構造を有し、GaAs基板30にオーミック接触する。

#### 【0044】

尾根45の長手方向の両端に反射端面が形成され、光共振器が画定される。n側電極42とp側電極41との間に順方向電圧を印加すると、量子ドット33にキャリアが注入される。量子ドット33内で電子と正孔とが再結合することにより、光が放射される。この光が光共振器内を往復することにより、誘導放出が生ずる。

#### 【0045】

図4に示した半導体レーザ装置においては、分離閉込ヘテロ層32と35との間の、量子ドット33が配置されていない領域に障壁層34が配置されている。このため、図1(A)に示した第1の実施例の場合と同様に量子ドット33へのキャリア注入効率を高めることができる。これにより、発光効率を高めることが可能になる。

#### 【0046】

なお、図3(A)に示したように、図4の量子ドット33の分布する仮想的な面と分離閉込ヘテロ層32との間、及び量子ドット33の分布する仮想的な面と分離閉込ヘテロ層35との間に、量子井戸層とトンネル層とを挿入してもよい。このような構造とすることにより、フォノンボトルネック現象に起因するキャリアの注入効率の低下を回避することができる。

#### 【0047】

次に、図5(A)及び(B)を参照して、上記実施例の変形例による量子ドット構造について説明する。

#### 【0048】

上記第1及び第2の実施例では、AlAs層の全領域を酸化することにより、例えば図1(A)に示した障壁層4を形成した。この酸化がやや不十分である場合には、図5(A)に示すように、量子ドット2の周囲に未酸化のAlAs領域4aが残る場合がある。このように、未酸化のAlAs領域4aが残っている場合であっても、AlAs層のうち多くの領域が酸化されていれば、キャリア注入



効率向上を図ることができる。なお、AlAs層のうち少なくとも一部の領域が酸化されていれば、全く障壁層が形成されていない場合に比べて、キャリア注入効率が高まるであろう。

## 【0049】

上記第1及び第2の実施例では、例えば図1(A)に示したように、量子ドット2の各々が、その上に形成されたp型GaAs層3に直接接触していた。後に酸化されて障壁層4となるAlAs層をMBEにより成長させると、量子ドット2の上にはほとんど成長せず、GaAs基板1の表面上に優先的に成長する。ところが、量子ドット2の上にもわずかに成長する場合がある。

## 【0050】

図5(B)は、量子ドット2の上にもAlAs層が薄く成長した場合の量子ドット構造の断面図を示す。量子ドット2の上に、薄いAlAs層が酸化されて形成された上部被覆領域4bが残っている。この構造では、量子ドット2とp型GaAs層3とが直接接触しない。しかし、上部被覆領域4bが、トンネル現象によりキャリアが通過できる程度に薄い場合には、十分高い確率でキャリアを量子ドット2内に注入することができる。

## 【0051】

上記図1(A)及び図3(A)に示した実施例では、AlAsを酸化することによって障壁層4を形成したが、他のAlを含む化合物半導体を酸化して障壁層4を形成してもよい。Alを含む化合物半導体の酸化速度は、Alの組成比に依存する。酸化すべき化合物半導体の酸化速度が、酸化すべきでない化合物半導体の速度に比べて十分速ければ、酸化すべき化合物半導体のみを選択的に酸化することができる。また、障壁層4の材料として、GaAs基板1及びGaAs層3のバンドギャップよりも大きなバンドギャップを有する半導体材料を用いてもよい。

## 【0052】

上記図1(A)及び図3(A)に示した実施例では、基板材料をGaAsとし、量子ドット2をInGaAsで形成したが、その他の材料を用いることも可能である。例えば、基板材料としてInPを用い、量子ドットをInAsで形成し

てもよい。この場合、AlAsもしくはAlInAsを酸化することによって障壁層を形成することができる。

#### 【0053】

上記実施例では、量子ドットを自己組織化現象を利用して形成する場合を説明したが、その他の方法で形成してもよい。図6に、福井らによってアプライドフィジクスレター (Appl. Phys. Lett. 58(18), 6 May 1991) に紹介された量子ドットの形成方法を説明する。

#### 【0054】

図6 (A) に示すように、(111) B面が表出したGaAs基板70の表面上に酸化シリコン膜71を形成する。酸化シリコン膜71に、三角形の開口72を形成し、GaAs基板70の表面を露出させる。三角形の開口72は、その三辺が、それぞれGaAs基板70の[110]、[011]、及び[101]方向に平行になるように形成される。

#### 【0055】

図6 (B) に示すように、基板上にMOCVDによりAlGaAs層73をエピタキシャル成長させる。なお、図6 (B) は、1つの開口72を二等分する断面を示している。一定の成長条件の下では、AlGaAs層が(111) B面上にのみ堆積し、{110} 面上にほとんど堆積しない。この条件で成長を行うと、AlGaAs層73は{110} 面を斜面とする三角錐状に成長する。三角錐の頂上近傍を残してAlGaAs層73の堆積を停止し、三角錐の頂上近傍にGaAs領域74を成長させる。

#### 【0056】

図6 (C) に示すように、三角錐の斜面上にAlGaAs層75を堆積する。AlGaAs層75の成長条件をAlGaAs層73の成長条件と変えることにより、{110} 面上にもAlGaAs層を成長させることができる。

#### 【0057】

このようにして、AlGaAs層73と75に囲まれた微小なGaAs領域74を形成することができる。GaAs領域74は周囲のAlGaAs層73及び75よりもバンドギャップが小さいため、電子を三次元的に閉じ込める量子ドッ

トとして作用する。

【0058】

次に、図6に示した量子ドットの形成方法を利用して、図1（A）の第1の実施例による障壁層4及びp型GaAs層3に相当する層を形成する方法について説明する。

【0059】

図6（B）に示したAlGaAs層73の代わりにGaAs層を形成し、GaAs領域74の代わりにInGaAs領域を形成する。図6（C）に示したAlGaAs層75は形成する必要はない。図6（B）に示した状態から酸化シリコン膜71を除去し、GaAs基板70の表面を露出させる。

【0060】

GaAs基板70の露出した表面上にAlAs層を成長させる。このAlAs層及びInGaAs領域74を覆うようにGaAs層を成長させる。AlAs層をその端面から酸化することにより、障壁層4を形成することができる。障壁層4の厚さを、GaAs層73の高さとほぼ等しくしておくことにより、量子ドット（InGaAs領域74）へのキャリアの注入効率を高めることができる。

【0061】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0062】

【発明の効果】

以上説明したように、本発明によれば、量子ドットの分布する仮想的な面内のうち、量子ドットの配置されていない部分に障壁層を配したため、量子ドットへのキャリアの注入効率を高めることができる。また、量子ドットに近接させて量子井戸層を配置し、量子井戸層から量子ドット内へキャリアを共鳴トンネルさせることにより、フォノンボトルネック現象によってキャリアが量子ドットの離散準位に遷移しにくくなることが抑制される。

【図面の簡単な説明】

【図 1】

図 1 (A) は、本発明の第 1 の実施例による半導体装置の断面図であり、図 1 (B) は、従来の量子ドットを有する半導体装置の断面図である。

【図 2】

選択酸化の評価実験により得られた AlAs 層の酸化の深さを、酸化温度 360℃ の場合と 320℃ の場合について、酸化時間の関数として示すグラフ、及び他の選択酸化の評価実験に用いた積層構造の断面図である。

【図 3】

図 3 (A) は、第 2 の実施例による半導体装置の断面図であり、図 3 (B) は、量子ドットと量子井戸層とのエネルギー準位の関係を示すエネルギーバンド図であり、図 3 (C) は、第 2 の実施例の変形例による半導体装置の断面図である。

【図 4】

本発明の実施例による半導体レーザ装置の断面図である。

【図 5】

上記実施例の変形例による量子ドット構造の断面図である。

【図 6】

微細加工技術を用いて量子ドットを形成する方法を説明するための部分破断斜視図である。

【符号の説明】

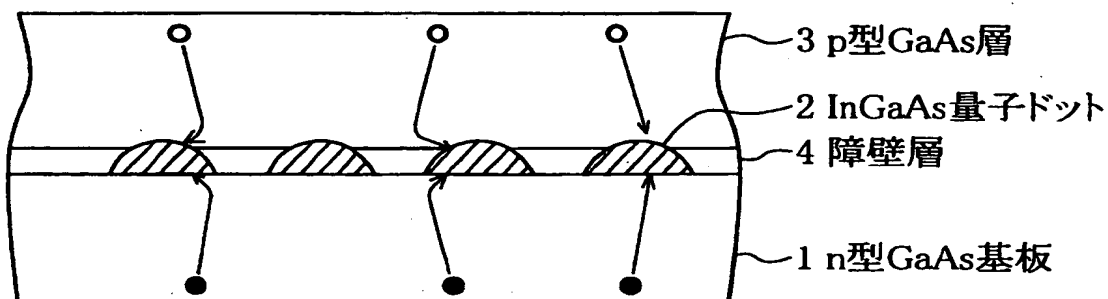
- 1 GaAs 基板
- 2 InGaAs 量子ドット
- 3 GaAs 層
- 4 障壁層
- 4 a 未酸化 AlAs 領域
- 4 b 上部被覆領域
- 5 InGaAs 量子井戸層
- 6 GaAs トンネル層
- 10 a ~ 10 c 電子
- 11 a ~ 11 c 正孔

- 20 GaAs 基板
- 21 InAlAs 層
- 22 InGaAs 層
- 30 GaAs 基板
- 31 AlGaAs クラッド層
- 32、35 分離閉込ヘテロ層
- 33 InGaAs 量子ドット
- 34 障壁層
- 36 AlGaAs クラッド層
- 37 AlGaAs 中間層
- 38 GaAs コンタクト層
- 39 酸化シリコン層
- 40 開口
- 41、42 電極
- 45 尾根
- 70 GaAs 基板
- 71 酸化シリコン膜
- 72 開口
- 73、75 AlGaAs 層
- 74 GaAs 領域

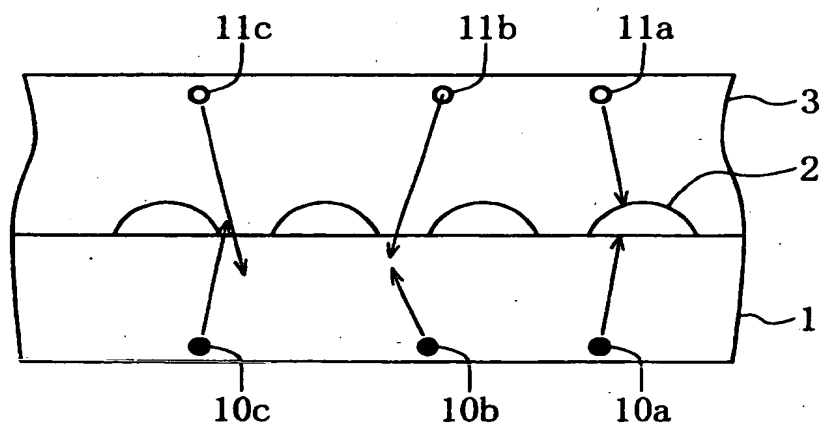
【書類名】 図面

【図1】

(A) 第1の実施例

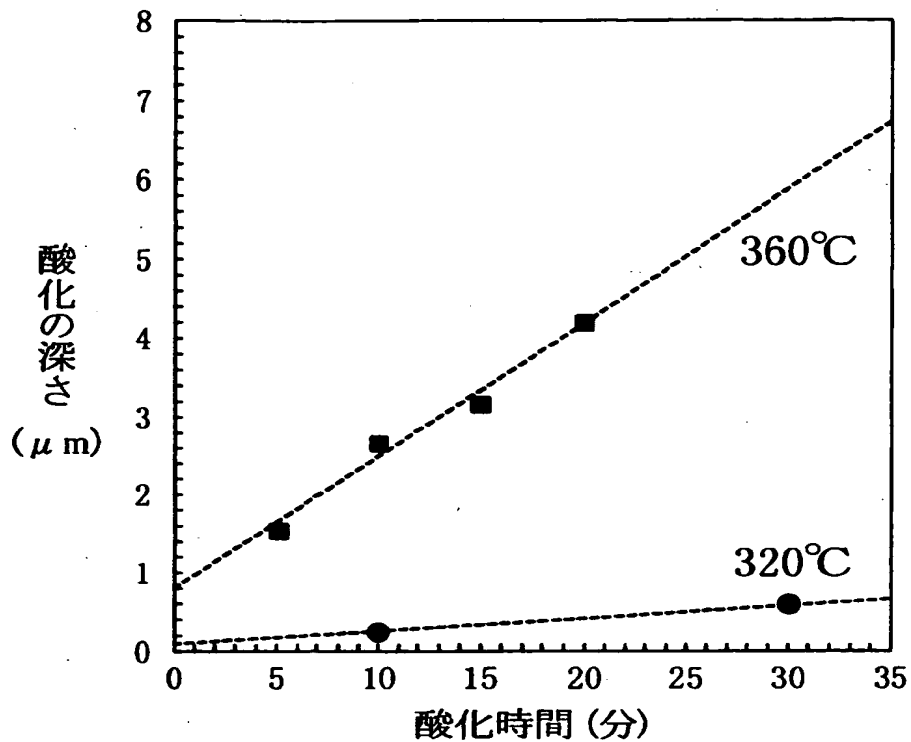


(B) 従来例

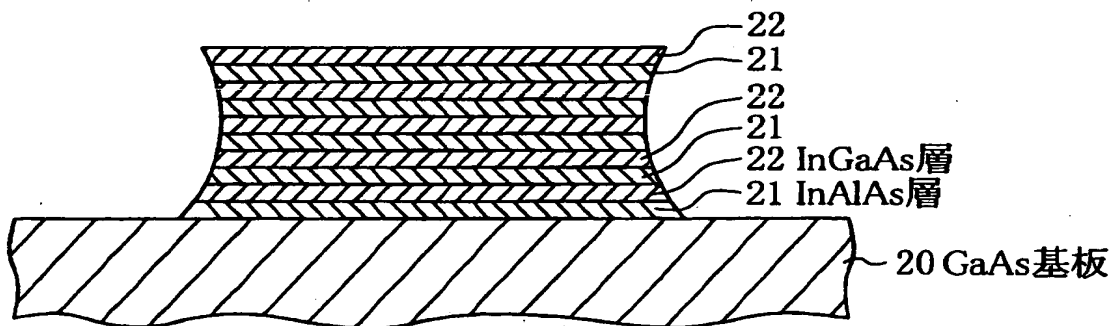


【図2】

(A)



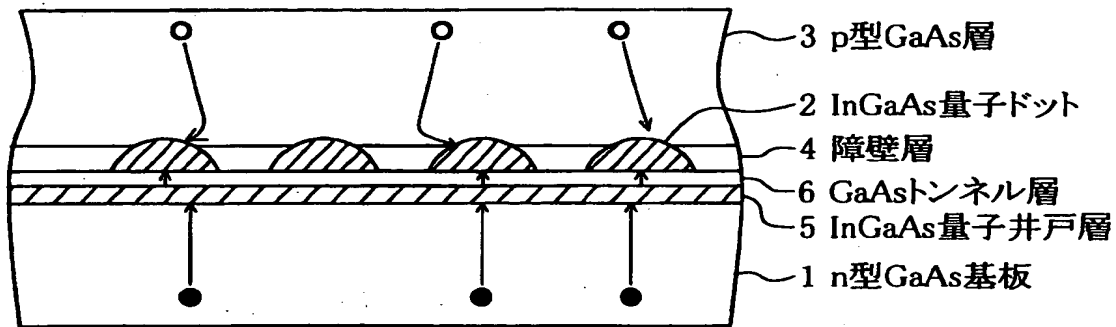
(B)



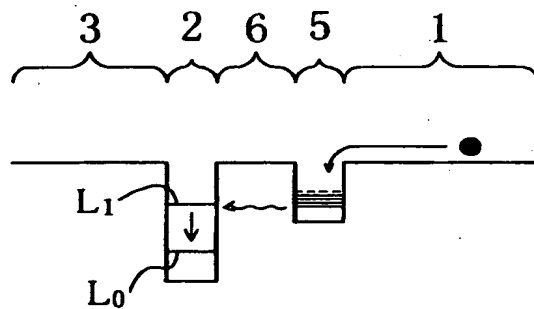
【図3】

第2の実施例

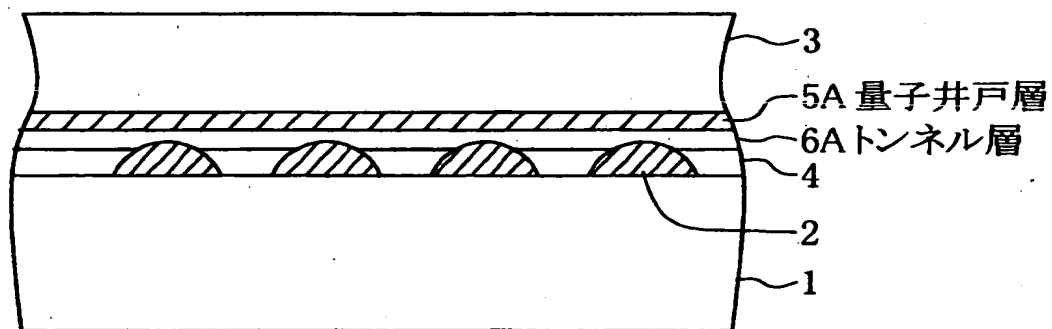
(A)



(B)



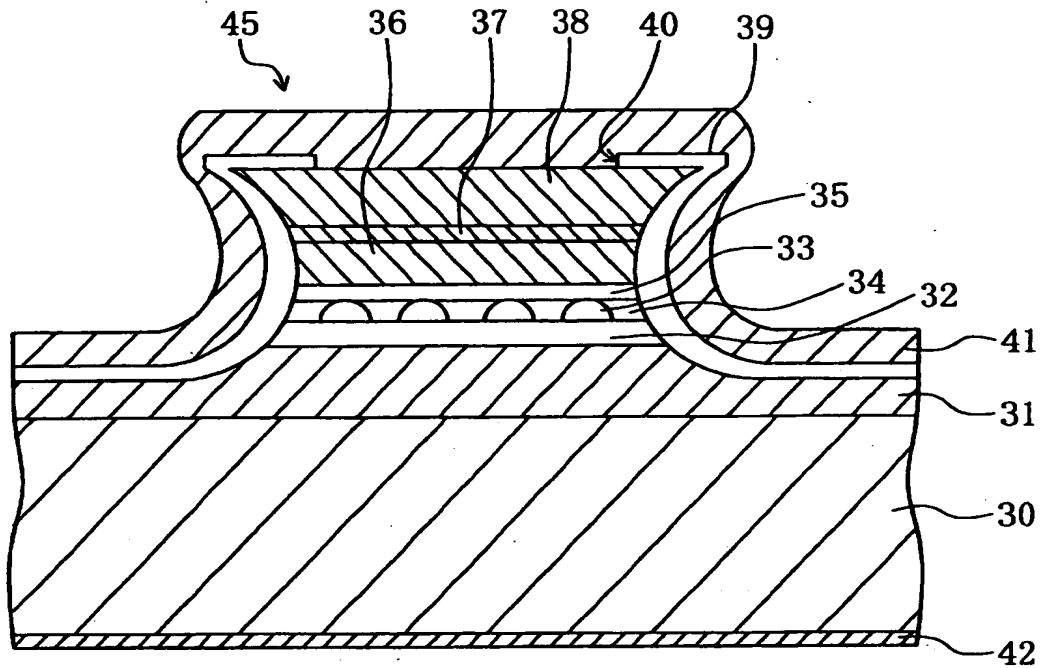
(C)





【図4】

半導体レーザ装置

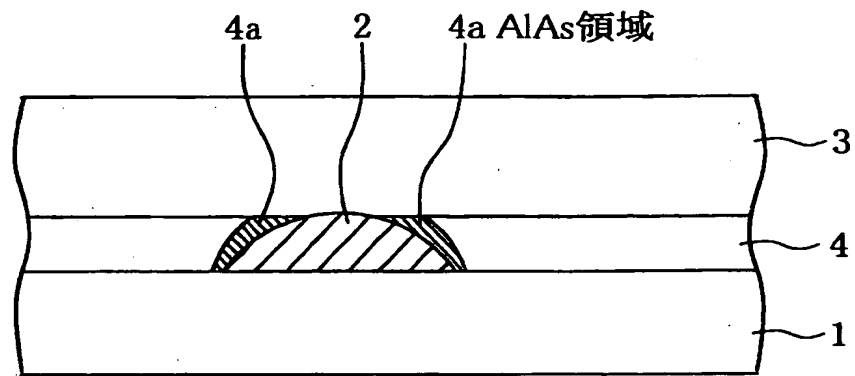


- 30 GaAs基板
- 31 AlGaAsクラッド層
- 32,35 分離閉込ヘテロ層
- 33 量子ドット
- 34 障壁層
- 36 AlGaAsクラッド層
- 41,42 電極

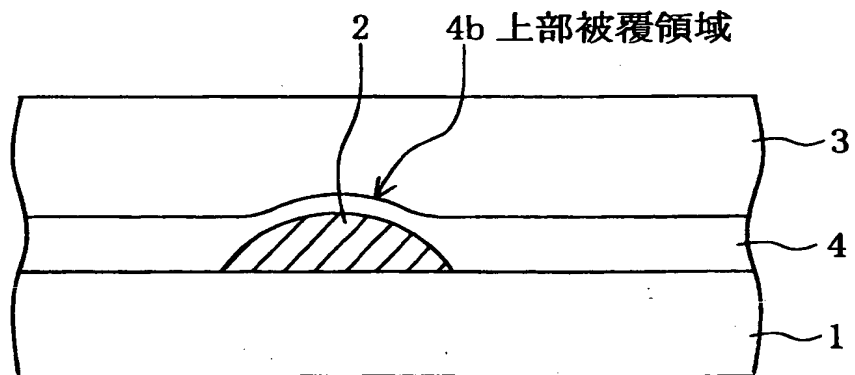
【図5】

変形例

(A)

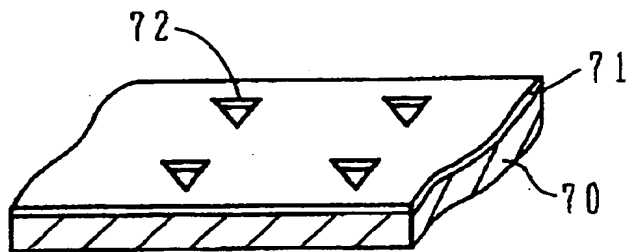


(B)

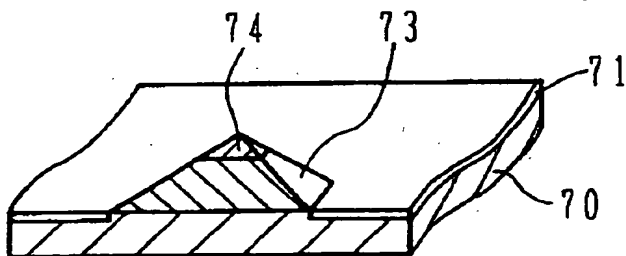


【図6】

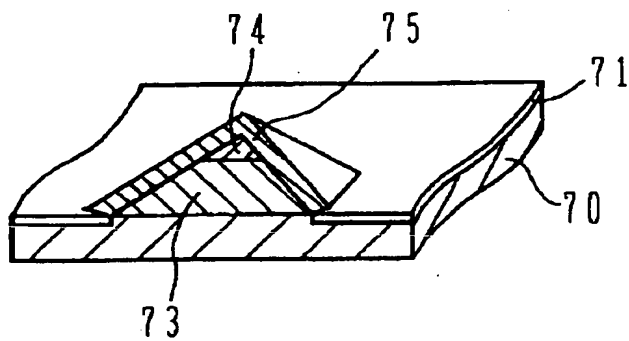
(A)



(B)



(C)



【書類名】 要約書

【要約】

【課題】 量子ドットへのキャリアの注入効率の低下を防止することが可能な半導体装置を提供する。

【解決手段】 第1の半導体からなる主表面を有する基板の主表面の上に、複数の量子ドットが離散的に分布する。第2の半導体からなる被覆層が、量子ドットの分布する仮想的な面の上に形成されている。前記仮想的な面内のうち、量子ドットの配置されていない領域の少なくとも一部に障壁層が配置されている。障壁層は、第1及び第2の半導体のバンドギャップよりも大きなバンドギャップを有する第3の半導体もしくは絶縁材料で形成されている。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社